

Patent

Customer No. 31561
Application No.: 10/707,354
Docket No. 10465-US-PA

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Kuang-Feng Sung
Application No. : 10/707,354
Filed : December 08, 2003
For : SLEW RATE ENHANCEMENT CIRCUIT VIA DYNAMIC
OUTPUT STAGE
Examiner :
Art Unit : 2816

ASSISTANT COMMISSIONER FOR PATENTS
Arlington, VA22202

Dear Sirs:

Transmitted herewith is a certified copy of Taiwan Application No.:
092105571, filed on: 2003/03/14.

A return prepaid postcard is also included herewith.

Respectfully Submitted,
JIANQI CHYUN Intellectual Property Office

Dated:

April 20, 2004

By:

Belinda Lee

Belinda Lee

Registration No.: 46,863

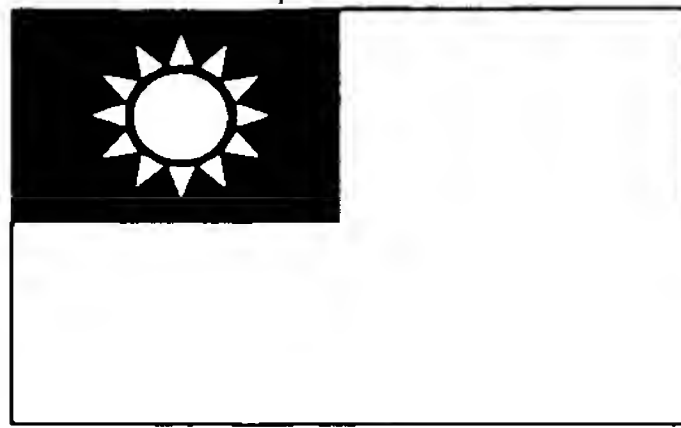
Please send future correspondence to:

7F.-1, No. 100, Roosevelt Rd.,

Sec. 2, Taipei 100, Taiwan, R.O.C.

Tel: 886-2-2369 2800

Fax: 886-2-2369 7233 / 886-2-2369 7234



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 03 月 14 日
Application Date

申請案號：092105571
Application No.

申請人：聯詠科技股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 12 月 8 日
Issue Date

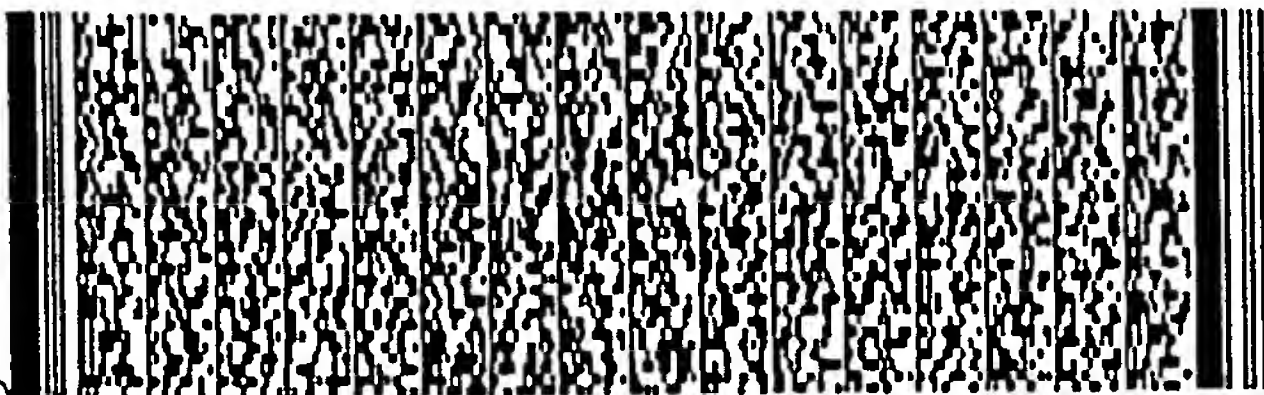
發文字號：09221242320
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	以動態輸出級提高迴轉率的電路製造方法
	英 文	Slew Rate Enhancement Circuit Via Dynamic Output Stage
二、 發明人 (共1人)	姓 名 (中文)	1. 宋光峰
	姓 名 (英文)	1. Kuang Feng Sung
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 台中縣豐原市陽明里20鄰府前街77號
	住居所 (英 文)	1. No. 77, Fuchian St., Fengyuan City, Taichung, Taiwan 420, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 聯詠科技股份有限公司
	名稱或 姓 名 (英文)	1. Novatek Microelectronics Corp.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹科學工業園區新竹縣創新一路13號2樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 2F., No. 13, Innovation Road I, Science-Based Industrial Park, Hsinchu, Taiwan, R.O.C.
	代表人 (中文)	1. 何泰舜
	代表人 (英文)	1. Tai-Shung Ho



四、中文發明摘要 (發明名稱：以動態輸出級提高迴轉率的電路製造方法)

習知的運算放大器在推動重負載時，為了能達到高迴轉率，往往需要提高操作電流，或是使用誤差放大器去推動共源極輸出級來達成。以上方法除了增加迴轉率之外，卻也造成晶片面積變大、設計上之複雜度增加、消耗功率增加，以及其他來自誤差放大器之雜訊或偏移電壓所造成之非線性失真等缺點。本發明提出一稱之為動態輸出級之方法及裝置來增加運算放大器之迴轉率，該裝置使用了一個監測控制裝置來監測主輸出級之控制訊號，以及另一組受該監測控制裝置控制之輔助輸出裝置，在適當情形下提供額外電流至負載來達成增加迴轉率之目的。

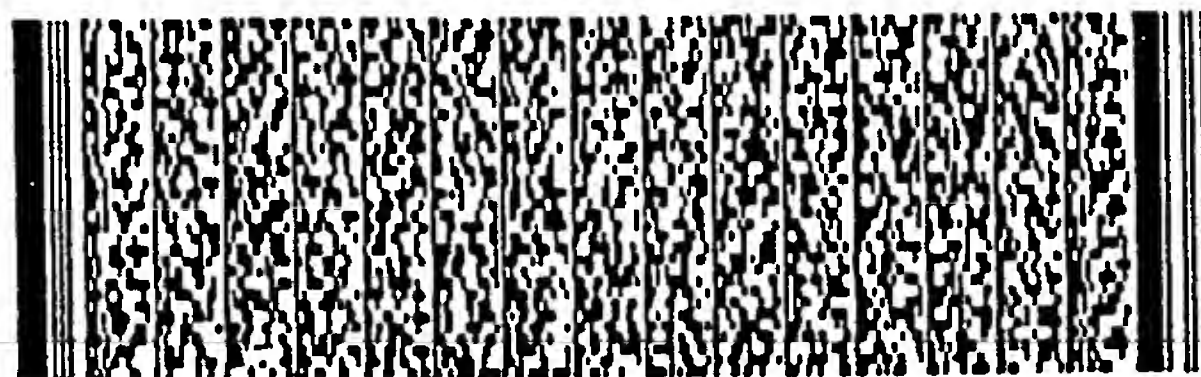
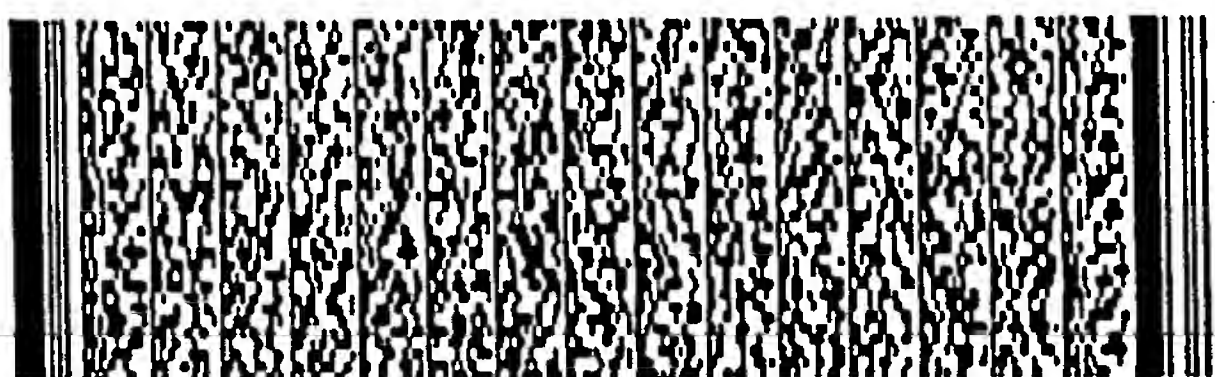
伍、(一)、本案代表圖為：第____3____圖

(二)、本案代表圖之元件代表符號簡單說明：

302 運算放大器 304 主輸出級 306 監測控制
裝置 308 上拉輸出裝置 310 下拉輸出裝置

陸、英文發明摘要 (發明名稱：Slew Rate Enhancement Circuit Via Dynamic Output Stage)

Most operational amplifiers are drove by high operating current or connected with error amplifiers for driving common source output stage, in order to enhance slew rate when the operational amplifiers drive heavy loads. Except for high slew rate, a lot of disadvantages such as increase power consumption, chip area, complexity of circuit design, noises and offsets introduced from

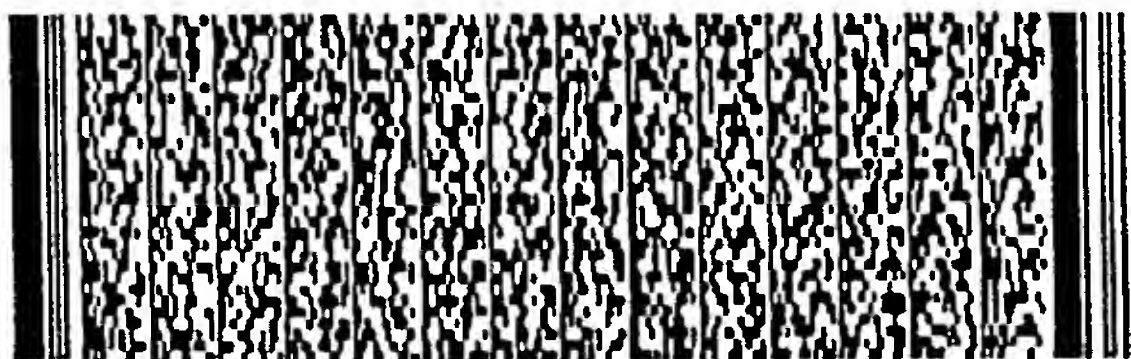


四、中文發明摘要 (發明名稱：以動態輸出級提高迴轉率的電路製造方法)

312、316、324 PMOS 電晶體 314、318、326 NMOS 電晶體
320、322 電流源 328 輔助輸出裝置

陸、英文發明摘要 (發明名稱：Slew Rate Enhancement Circuit Via Dynamic Output Stage)

error amplifier succeed. An improved technique and apparatus called dynamic output stage is achieved in this invention. The dynamic output stage includes a monitoring stage to monitor the control signal from the main output stage and an assistant output stage switched by the monitoring stage to provide an additional current for enhancement of the slew rate to the load.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

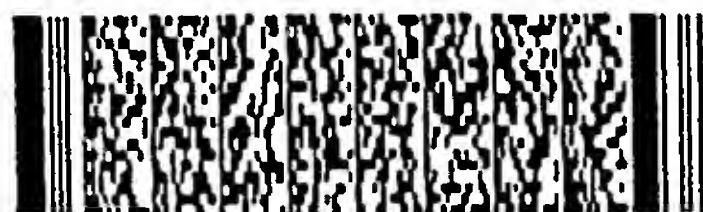
☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

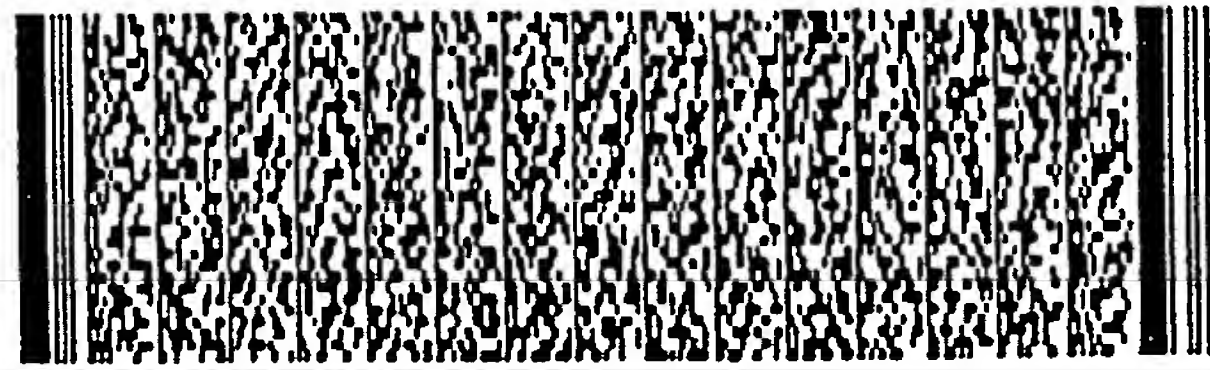
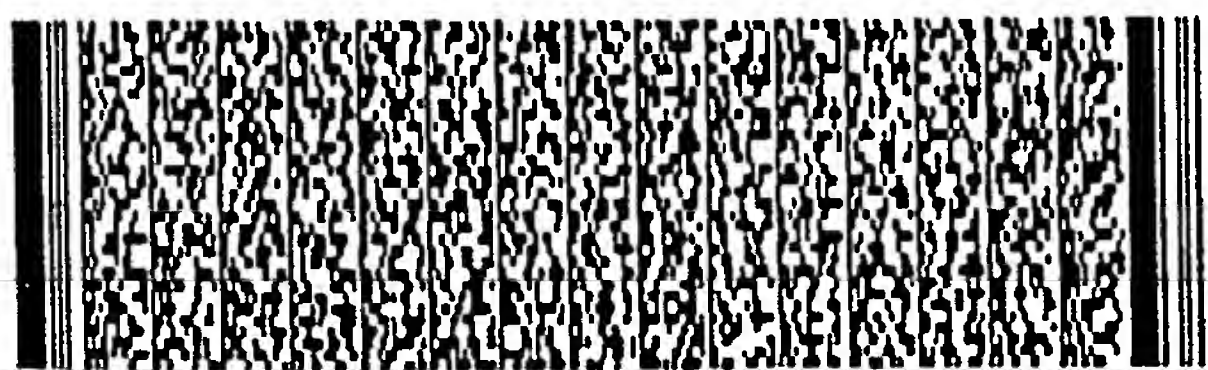
發明所屬之技術領域

本發明是有關於一種晶片中電路元件的設計及製造法，且特別是有關於一種用於推動重負載之高迴轉率、低靜態電流消耗、晶片面積小以及電路結構簡單的電路製造方法。

先前技術

習知用於推動重(Heavy)負載的運算放大器(Operational Amplifier ; OP)為能達到高迴轉率(Slew Rate)，往往需要消耗很大的靜態電流，或是使用誤差放大器(Error Amplifier)去推動共源極(Common source)輸出級(Output Stage)來達成。以上方法雖能增加迴轉率，以及提供超強驅動力(Driving capability)，但也增加了晶片面積、消耗功率及設計上之複雜度。

第1圖是習知的高迴轉率運算放大器電路圖。請參照第1圖，由一運算放大器102、二誤差放大器104、106和一P型金氧半導體(PMOS)電晶體(Transistor)108、一N型金氧半導體(NMOS)電晶體110所組成之推挽(Push-Pull)式輸出級112所組成。誤差放大器104及106用來控制PMOS電晶體108及NMOS電晶體110，其原理為利用連結誤差放大器104、106的反向(Inverting)輸入端與運算放大器102的輸出端、連結誤差放大器104、106的非反向(Non-Inverting)輸入端與輸出端節點Vout1所構成之虛擬短路，加上誤差放大器104與PMOS電晶體108、誤差放大器106與NMOS電晶體110所構成之負迴授迴路(Negative



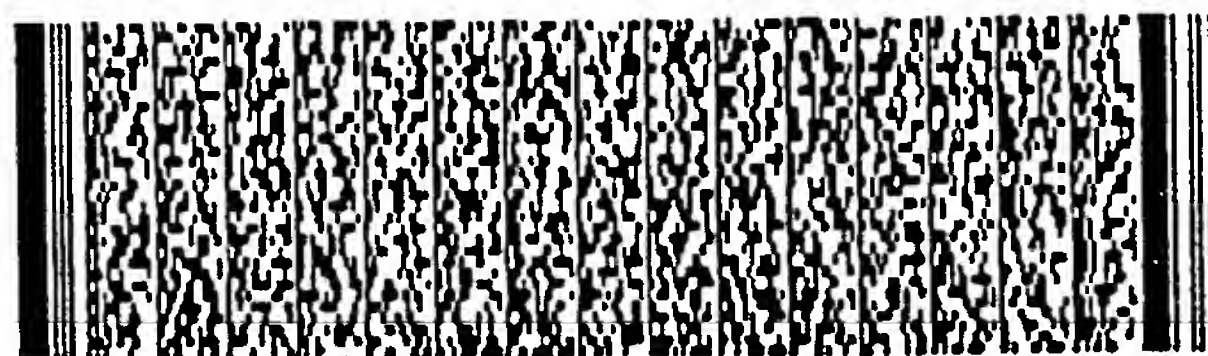
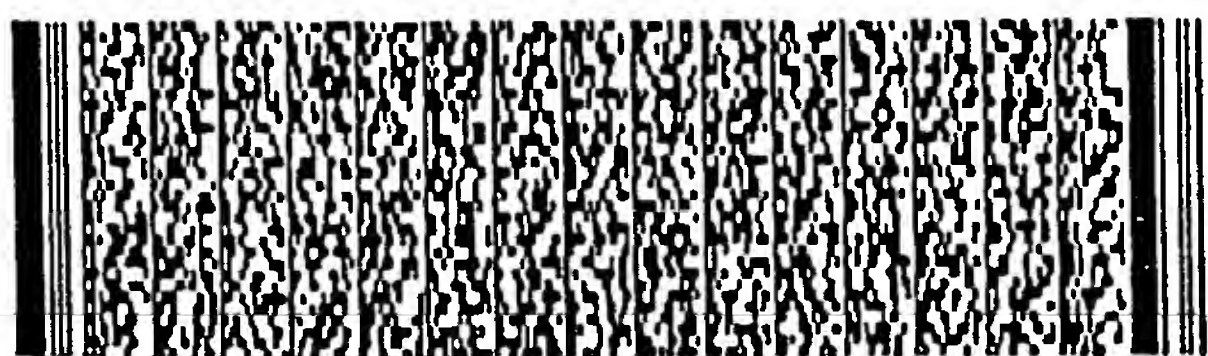
五、發明說明 (2)

Feedback Loop) 來控制PMOS電晶體108及NMOS電晶體110所組成推挽式輸出級112，以提供負載端推動(Push)或拉挽(Pull)電流。

誤差放大器104及106是用來監測運算放大器102之非反向輸入端Vin10和反相輸入端Vout10訊號是否相等。當上述二訊號不相同時，PMOS電晶體108或NMOS電晶體110將開始動作，誤差放大器104及106將使推挽式輸出級112之PMOS電晶體108能推動(Push; or Source)一大電流或NMOS電晶體110能拉挽(Pull; or Sink)一大電流至輸出端。而當非反向輸入端Vin10和反相輸入端Vout10訊號相等時，PMOS電晶體108與NMOS電晶體110將操作在原先設定之直流偏壓條件(DC Bias Condition)下。

第1圖之電路結構通常都用來推動重負載，如小電阻或大電容之負載，為了要讓PMOS電晶體108或NMOS電晶體110能提供大電流至負載，PMOS電晶體108和NMOS電晶體110的外觀比(Aspect Ratio)要非常大。因此，PMOS電晶體108及NMOS電晶體110將會消耗很大之靜態電流，若要符合低功率消耗、高迴轉率之目標將會相當困難。

另外，第1圖之電路結構，看似簡單，實際電路製造上相當複雜。首先，誤差放大器104及106若為單級(Single Stage)放大器，則至少需使用6顆MOS電晶體來構成1顆誤差放大器104，2顆誤差放大器104及106共需由12顆MOS電晶體來組成。再則，為了補償運算放大器之極、零點位置(Pole/Zero Location)，若採用密勒補償



五、發明說明 (3)

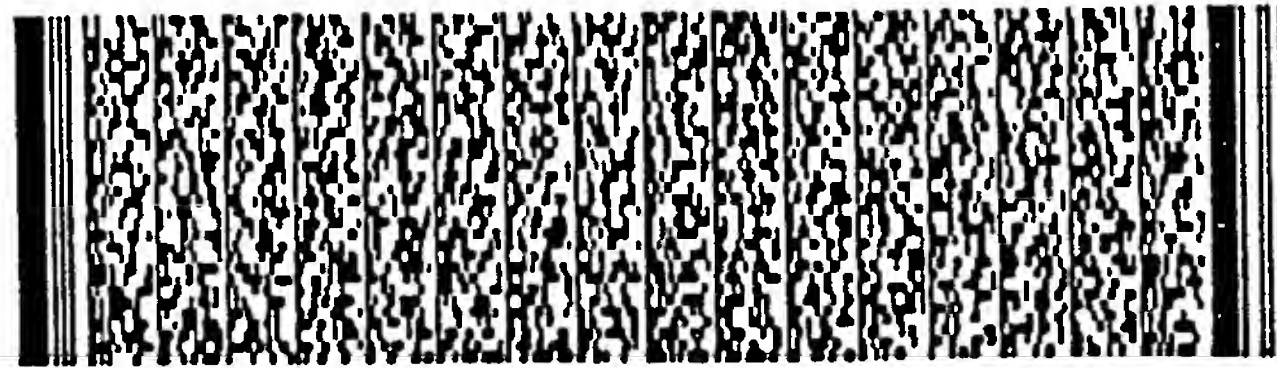
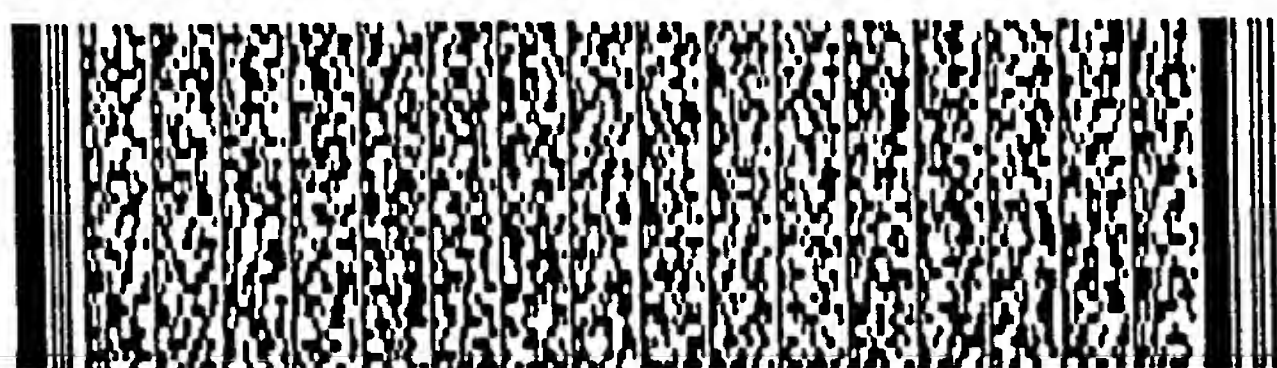
(Miller Compensation)，則需加上2顆補償電容。誤差放大器104及106之設計亦需要考慮本身之偏移電壓(Offset Voltage)、佈局(Layout)上之對稱性(Symmetry)、頻寬(Bandwidth)、雜訊(Noise)之大小對整個電路之交越失真(Cross Distortion)和線性度(Linearity)的影響。為了解決交越失真之問題，誤差放大器勢必得為寬頻之設計。而其具備負迴授迴路，使得當負載為大電容負載時之補償將變得更複雜。此外，靜態電流大小之控制亦是另一設計上之關鍵。以上種種限制使得此一看似簡單之架構，實際上有著非常多且特別之設計考量，而且將佔據非常大之面積。

習知第1圖之電路結構，其優點係能以其簡單之架構來提供一超強驅動能力。然而其缺點包括雖然係簡單之架構，但是佔據相當大的晶片面積，且須注意交越失真、迴授路徑上之補償問題，更要特別注意誤差放大器對整個運算放大器線性度之影響，最後就是功率消耗欲小不易。

發明內容

因此本發明的目的就是在提供一種可推動重負載元件，而且具有靜態電流消耗小、高迴轉率、晶片面積小、架構簡單等特性之運算放大器。

本發明的目的是提供一種高迴轉率之運算放大器，其設計上可以避免前述習知之高迴轉率運算放大器中，誤差放大器所造成之極、零點位置補償困難、偏移電壓對線性度所產生之影響。



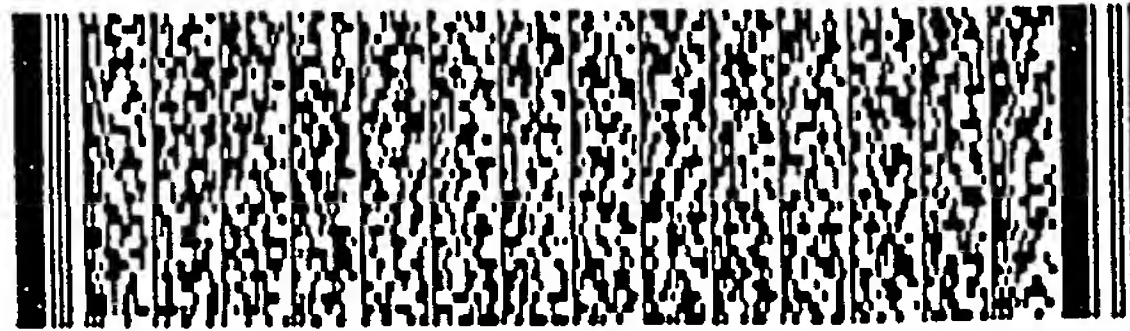
五、發明說明 (4)

為了達成前述之目的，本發明提出一種增加迴轉率的方法與裝置。此裝置包括一主輸出級、一監測控制裝置與一輔助輸出裝置。上述之主輸出級用以接收一輸入電壓，並輸出一主電流，以及產生一推動訊號、一拉挽訊號。上述之監測控制裝置用來衰減推動訊號以產生一已衰減推動訊號，以及衰減拉挽訊號以產生一已衰減拉挽訊號。上述之輔助輸出裝置，用來接收已衰減推動訊號及已衰減拉挽訊號，並用來輸出一輔助電流。

上述增加迴轉率之裝置中，其中主輸出級包括一推動訊號產生器與一拉挽訊號產生器。此推動訊號產生器用來產生推動訊號，而拉挽訊號產生器用來產生拉挽訊號，其中此推動訊號產生器與拉挽訊號產生器互相連結用以產生上述的主電流。

上述增加迴轉率的裝置中，其中輔助輸出級包括一被已衰減推動訊號開關之上拉輸出裝置，用來產生一推動電流；以及一被已衰減拉挽訊號開關之下拉輸出裝置用來產生一拉挽電流，其中上拉輸出裝置與下拉輸出裝置互相連結用以產生上述的輔助電流。

本發明因採用上述發明之動態輸出級電路結構，若運用此裝置於運算放大器上，可以達到以最小的晶片面積、較簡單的電路結構及低靜態電流來提高迴轉率之目標，亦可避免前述習知之高迴轉率運算放大器中，誤差放大器所造成之極、零點位置補償困難、偏移電壓對線性度所產生之影響。



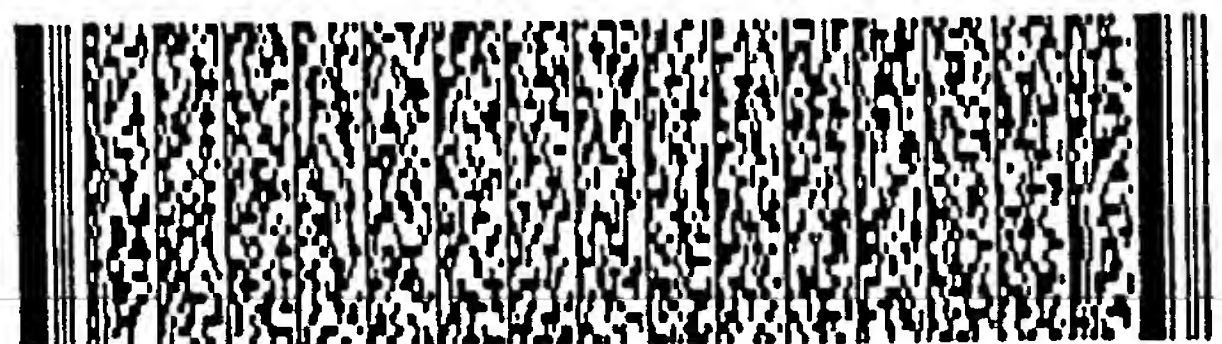
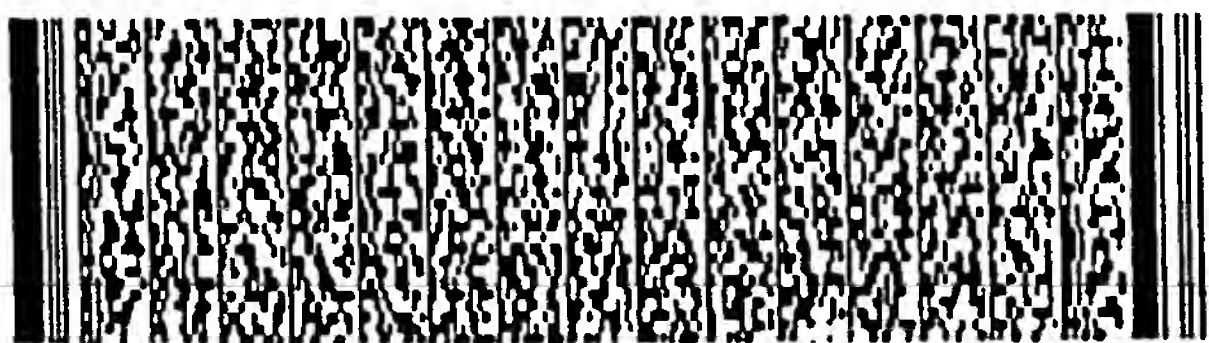
五、發明說明 (5)

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

實施方式：

請參照第2圖，係本發明一較佳實施例之示意圖。在一運算放大器202(增益為 $-A$)後，連接一主輸出級204，在主輸出級204另一端連接一新增之輔助輸出裝置206，且輔助輸出裝置206受控於主輸出級204之控制訊號。主輸出級204中至少包括一推動訊號產生器216與一拉挽訊號產生器218，該推動訊號產生器216係用來產生一推動訊號 V_{g1} ，而該拉挽訊號產生器係用來產生一拉挽訊號 V_{g2} ，其中該推動訊號產生器216與該拉挽訊號產生器218互相連結用以產生一主電流。在主輸出級204連接至輔助輸出裝置206之前，需先經過一電壓源208和一電壓源210的訊號衰減。電壓源208和210的電壓大小，要能讓輔助輸出裝置206在主輸出級204不提供額外電流至負載時，也就是相當於第2圖之輸入端電壓 V_{in20} 等於輸出端電壓 V_{out20} 時，因為電壓源208和210壓降的關係，使得輔助輸出裝置206中之電晶體212和電晶體214的閘極電壓不足而自動關閉。

當第2圖之輸入端電壓 V_{in20} 不等於輸出端電壓 V_{out20} 時，由於主輸出級204中之PMOS電晶體216或NMOS電晶體218之閘極相對於源極的電壓會變大，使主輸出級204能提供一額外電流至負載。雖然需經過電壓源208和210才接至輔助輸出裝置206，但只要主輸出級204中電晶體216的閘



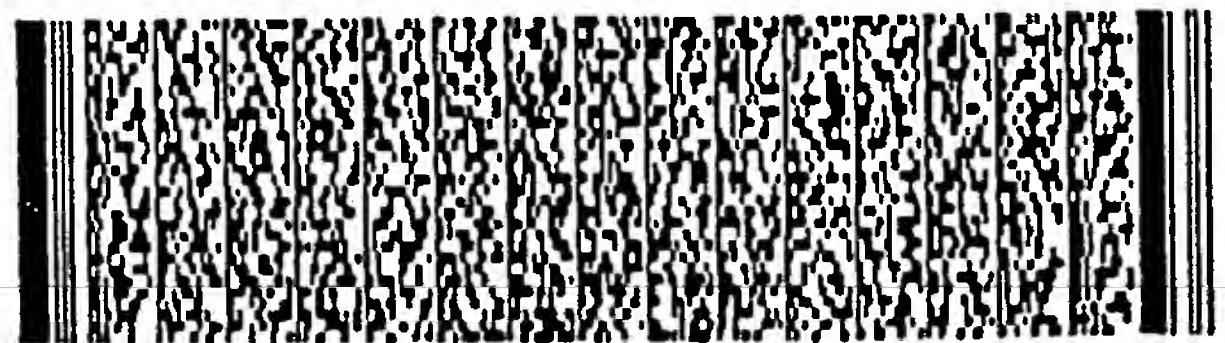
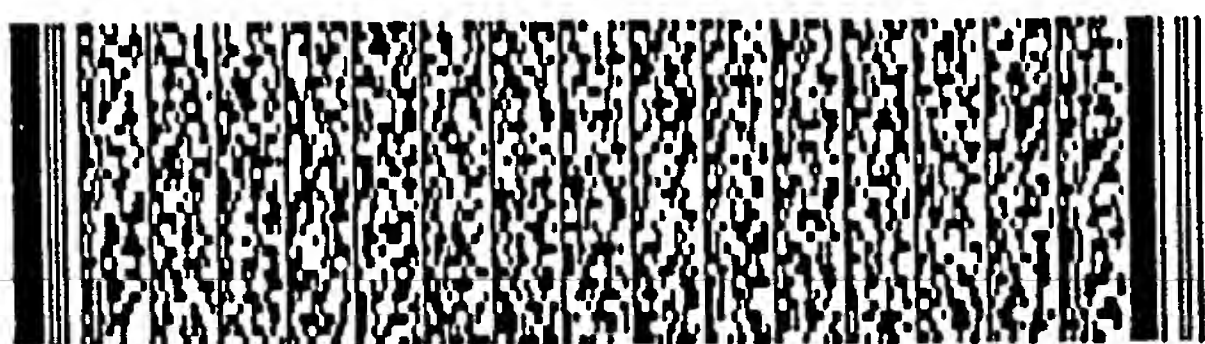
五、發明說明 (6)

極電壓 V_{g1} ，或電晶體218的閘極電壓 V_{g2} 夠大，則輔助輸出裝置206亦會提供電流至負載，該提供至負載之電壓 V_{out20} 可以回饋至運算放大器202之反向輸入端。當輸入端電壓 V_{in20} 約等於輸出端電壓 V_{out20} 時，由於電壓源208和210壓降的關係，輔助輸出裝置206會先關閉，而由主輸出級204繼續傳送電流至負載。以上所描述的電路方法稱為動態輸出級(Dynamic Output Stage)。其中之輔助輸出裝置206會自動打開(Turn On)以及自動關閉(Turn Off)。

請參照第3圖，其繪示依照本發明另一較佳實施例的示意圖。

為了增加迴轉率，本發明對於運算放大器之第一級放大器302(增益為 $-A$)以及主輸出級304，使用一組監測控制裝置306、一組受監測控制裝置306操作之上拉輸出裝置308以及下拉輸出裝置310，來輔助運算放大器302以增加其迴轉率。當運算放大器302之輸入訊號 V_{in30} 不等於輸出訊號 V_{out30} 時，監測控制裝置306將使上拉輸出裝置308或下拉輸出裝置310動作，以提供一額外電流至輸出端負載。當運算放大器302之輸入訊號 V_{in30} 等於輸出訊號 V_{out30} 時，監測控制裝置306將關閉上拉輸出裝置308和下拉輸出裝置310，使上拉輸出裝置308和下拉輸出裝置310不再提供額外電流至輸出端負載，負載將繼續由主輸出級304推動。

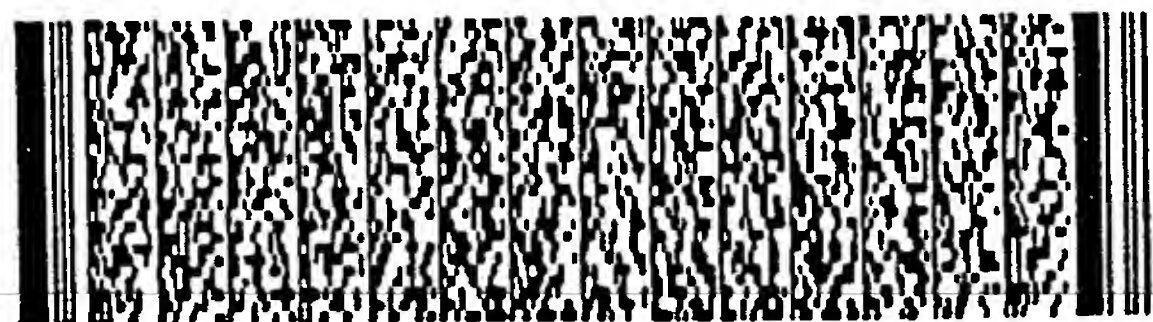
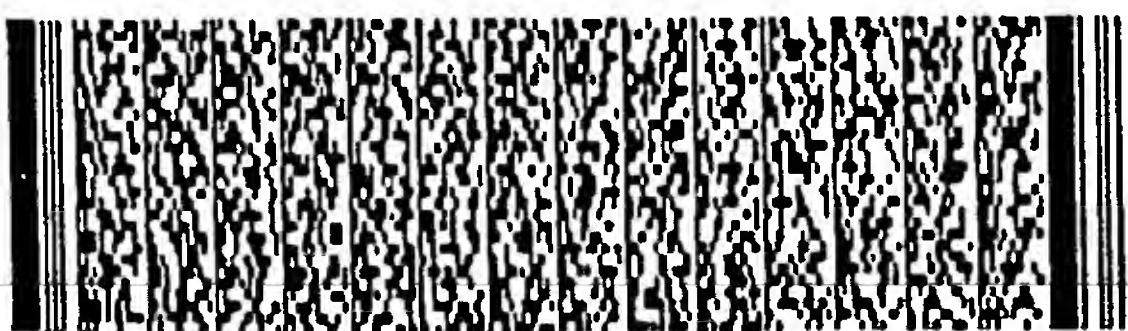
以下將對第3圖電路圖以及其動作原理做一最詳盡之說明。首先，第3圖電路圖說明如下：



五、發明說明 (7)

第3圖電路圖為一動態輸出級之組成，此電路包括一運算放大器，其有第一級放大器302以及主輸出級304，此二者連接成一單位增益組態(Unit Gain Configuration)。運算放大器302有一非反向輸入端接至輸入訊號 V_{in30} 、反向輸入端接至輸出訊號 V_{out30} 。主輸出級304中包含了一推動訊號產生器PMOS電晶體312和一拉挽訊號產生器NMOS電晶體314，電晶體312之源極電壓為VDD，閘極電壓為 V_{in31} ，電晶體314之源極至電源GND，閘極電壓為 V_{in32} 。電晶體312和電晶體314之汲極相連，此節點即為主輸出級304之輸出節點，其電壓為 V_{out30} 。電壓 V_{in31} 為主輸出級304輸出至監測控制裝置之推動訊號。電壓 V_{in32} 為主輸出級304輸出至監測控制裝置之拉挽訊號。

監測控制裝置306，由電晶體316、電晶體318、電流源320、電流源322組成。電晶體316的閘極，其為監測控制裝置306的輸入端，接至主輸出級304之PMOS電晶體312之閘極，接受推動訊號 V_{in31} 之輸入。電晶體316的源極接至電流源320，其為監測控制裝置306的輸出端，此節點電壓為 V_{out31} ，此節點亦接至上拉輸出裝置308之輸入端，電壓 V_{out31} 為一已衰減推動訊號。電晶體318的閘極，其為監測控制裝置306的輸入端，接至主輸出級304中之NMOS電晶體314之閘極，接受拉挽訊號 V_{in32} 之輸入。電晶體318的源極接至電流源322，其為監測控制裝置306的輸出端，此節點電壓為 V_{out32} ，此節點亦接至下拉輸出裝置



五、發明說明 (8)

310 之輸入端，電壓 V_{out32} 為一已衰減拉挽訊號。推動訊號 V_{in31} 和拉挽訊號 V_{in32} 為監測控制裝置 306 的輸入訊號，已衰減推動訊號 V_{out31} 和已衰減拉挽訊號 V_{cut32} 為監測控制裝置 306 的輸出訊號。

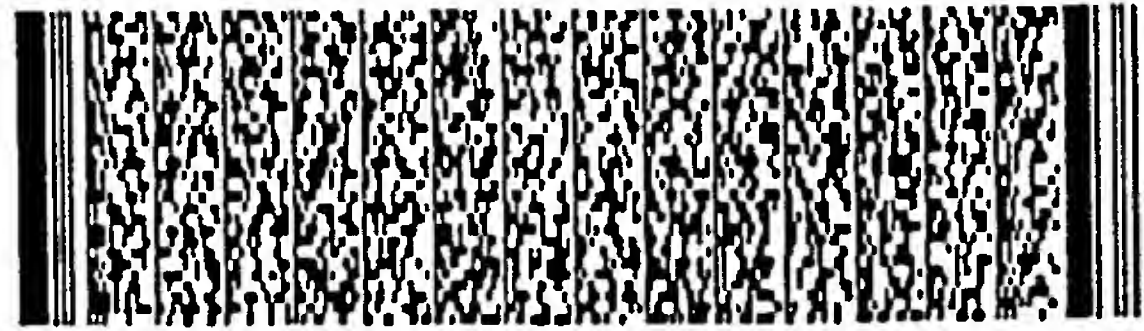
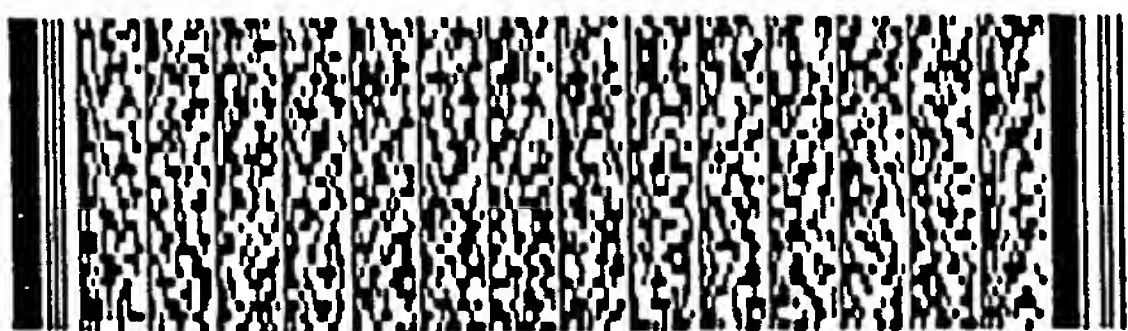
上拉輸出裝置 308 由 PMOS 電晶體 324 所構成，其輸入端為電晶體 324 之閘極，輸出端為電晶體 324 之汲極，電晶體 324 之源極接至電源 VDD。上拉輸出裝置 308 之輸入端接至監測控制裝置 306 的輸出端 V_{out31} ，接受已衰減推動訊號 V_{out31} 之控制。

下拉輸出裝置 310 由 NMOS 電晶體 326 所構成，其輸入端為電晶體 326 之閘極，輸出端為電晶體 326 之汲極，電晶體 326 之源極接至電源 GND。下拉輸出裝置 310 之輸入端接至監測控制裝置 306 的輸出端 V_{out32} ，接受已衰減拉挽訊號 V_{out32} 之控制。

上拉輸出裝置 308 的輸出端和下拉輸出裝置 310 的輸出端相連接，組成輔助輸出裝置 328，此節點和主輸出級 304 之輸出節點相連接，故此節點電壓為 V_{out30} ，該節點電壓 V_{out30} 可以回饋至運算放大器 302 之反向輸入端。

以上所述即為第 3 圖之電路詳細說明，以下將對第 3 圖所描述之動態輸出級之動作原理作一詳盡之說明。

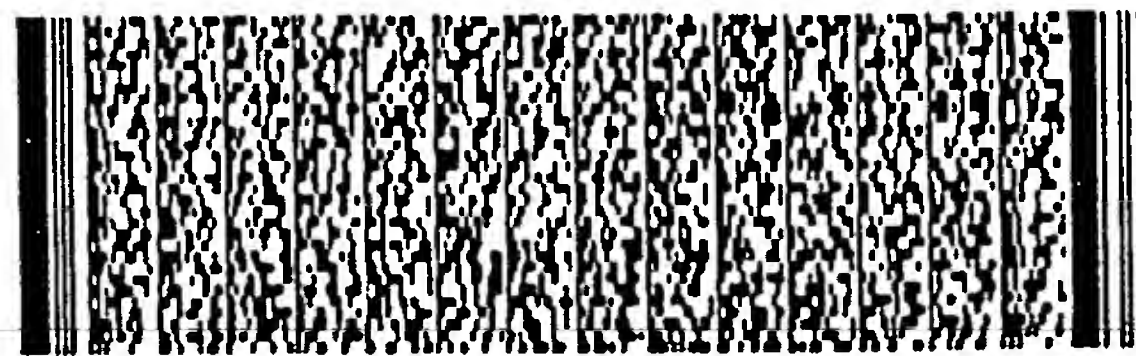
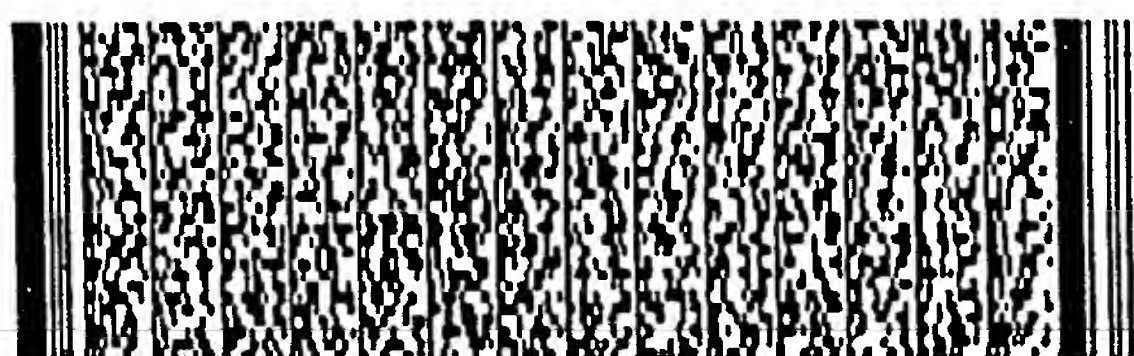
假設一開始時，輸出訊號 V_{out30} 等於輸入訊號 V_{in30} ，此時主輸出級 304 並不提供電流至負載，電晶體 312 和電晶體 314 將偏壓於靜態電流工作狀態 (Quiescent Current Bias Condition)。電晶體 312 和電晶體 314 之閘



五、發明說明 (9)

極電壓前傳(feed forward)至電晶體316和電晶體318，電晶體316和電晶體318為分別受電流源320與電流源322偏壓之共汲極組態，電晶體316和電晶體318之源極電壓將和其閘極電壓至少相差一啟始電壓(Threshold Voltage)，經過啟始電壓之衰減，電晶體316之源極電壓將為VDD，而電晶體318之源極電壓將為GND。使得受電晶體316和電晶體318控制之電晶體324和電晶體326，在輸出訊號Vout30等於Vin30時為關閉狀態。

當輸入訊號Vin30遠大於輸出訊號Vout30時，電晶體312的閘極電壓Vin31將會往GND接地端拉，以推動主輸出級304推動一額外電流至負載，電晶體314因閘極電壓Vin32亦將往GND接地端拉而關閉。此電壓Vin31和電壓Vin32同時前傳至電晶體316和電晶體318，因此輔助輸出裝置328中的電晶體324其閘極電壓Vout31會等於Vin31加上 $|V_{gs316}|$ ，其中 V_{gs316} 為電晶體316之閘極與源極之電壓差，故電晶體324會提供一推動電流至負載。輔助輸出裝置328中的電晶體326其閘極電壓Vout32會等於Vin32減去 $|V_{gs318}|$ ，其中 V_{gs318} 為電晶體318之閘極與源極之電壓差，因為電晶體314為關閉狀態，故電晶體326亦為關閉狀態。因此，電壓端點Vout30中除了主輸出級304所提供之電流外，輔助輸出裝置328中之電晶體324亦提供一推動電流至負載。當輸出訊號Vout30快追上輸入訊號Vin30時，Vin31和Vin32將接近原本之靜態電流工作狀態，同樣經由電晶體316和電晶體318衰減後，電晶體324

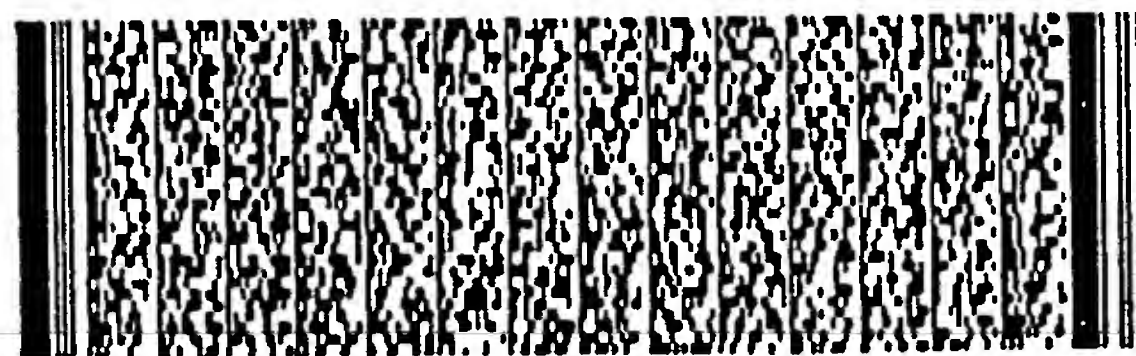
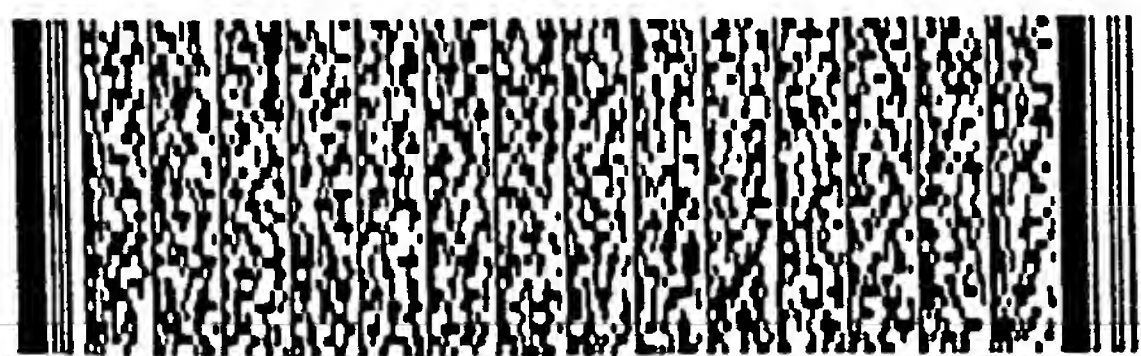


五、發明說明 (10)

和電晶體326將關閉，使得輔助輸出裝置328不再提供推動電流至負載，此時負載將由主輸出級304推動，直至輸出訊號 V_{out30} 等於輸入訊號 V_{in30} 。

當輸入訊號 V_{in30} 遠小於輸出訊號 V_{out30} 時，電晶體314因閘極電壓 V_{in32} 將會往VDD電源端拉，電晶體314將會從負載拉挽一電流，電晶體312因閘極電壓亦往VDD拉而關閉。上述電壓 V_{in31} 和電壓 V_{in32} 同時前傳至電晶體316和電晶體318。同樣的，電晶體324為關閉狀態，而電晶體326會提供一拉挽電流至負載。因此，電壓端點 V_{out30} 中除了主輸出級304所提供之電流外，輔助輸出裝置328中之電晶體326亦提供拉挽電流至負載。當輸出訊號 V_{out30} 快追上輸入訊號 V_{in30} 時， V_{in31} 和 V_{in32} 將接近原本之直流偏壓狀態，同樣經由電晶體316和電晶體318衰減後，電晶體324和電晶體326將關閉，使得輔助輸出裝置328不再提供拉挽電流至負載，此時負載將由主輸出級304推動，直至輸出訊號 V_{out30} 等於輸入訊號 V_{in30} 。

總結以上各點，輔助輸出裝置328為在主輸出級304外，提供額外電流至負載端以加快迴轉率之裝置。因此，輔助輸出裝置328之外觀比應越大越好，才能提供大電流至負載。又因為輔助輸出裝置328受共汲極組態之電晶體316和電晶體318所控制，使得額外電流提供之時間，將比主輸出級304所提供之電流來的晚開始，也來得早關閉，故將不會影響原先電路之極、零點分佈。而因為本發明中並無使用到誤差放大器，故前述由習知之高迴轉率運算放



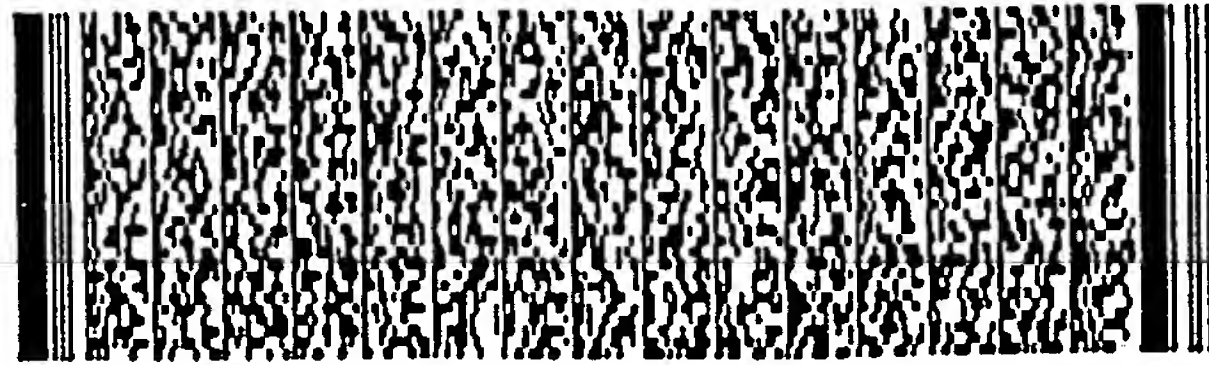
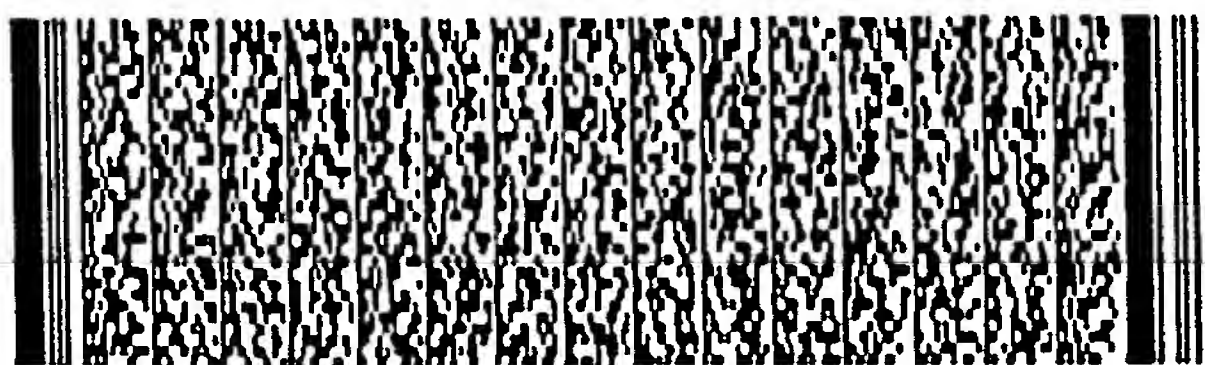
五、發明說明 (11)

大器中，誤差放大器所造成之極、零點位置補償困難、偏移電壓對線性度所產生之影響亦可獲得解決。

第4圖為本發明之輸出電流關係圖，第4圖中推動電流及拉挽電流為第3圖Vout30端點所輸出之電流，第4圖中推動訊號為上述之Vin31，而拉挽訊號為上述之Vin32。由第4圖中可明顯看出，相較於未加上本發明前，加上本發明後可大幅提高輸出電流。另外，對於第4圖中L1直線，在相同的推動電流輸出下，習知技術之推動訊號大於本發明之推動訊號，而推動/拉挽訊號之大小與輸出級靜態電流之大小為正相關，是故透過本發明可輕易地達成高迴轉率、低靜態電流之目的。

本發明因採用上述發明之動態輸出級電路結構，若運用此裝置於運算放大器上，因此可以達到以最小的晶片面積、較簡單的電路結構及低靜態電流來提高迴轉率之目標，亦可避免前述習知之高迴轉率運算放大器中，誤差放大器所造成之極、零點位置補償困難、偏移電壓對線性度所產生之影響。

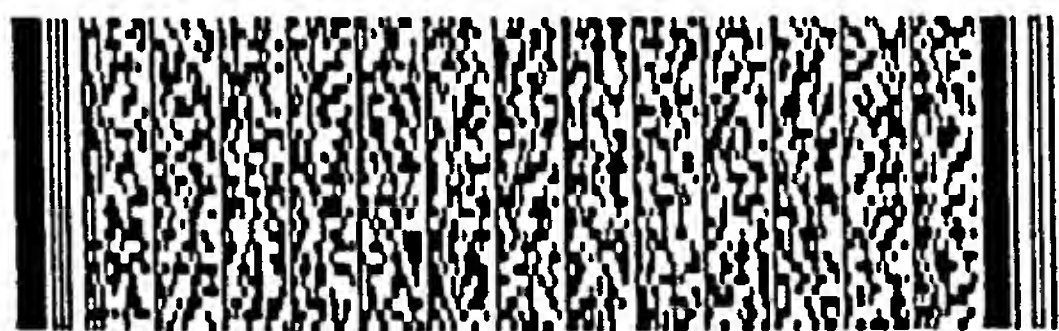
總結以上諸點，本發明至少具有下列之優點，包括其架構只需一個運算放大器、一主輸出級、一監測控制裝置、一上拉及一下拉輸出裝置，故電路結構較為簡單。其次，輸出電壓節點Vout30之輸出為軌對軌輸出(Rail To Rail Output)。另外，靜態電流消耗不需增加，晶片面積也較小。由於構造簡單，因此可直接套用於現有的運算放大器上，不需重新設計。除此之外，不會影響原先放大器



五、發明說明 (12)

的特性，亦不影響原先電路之極、零點分佈，更無使用誤差放大器所衍生出之缺點。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1圖是習知的高迴轉率運算放大器電路圖。

第2圖是本發明動態輸出級之示意圖。

第3圖是本發明動態輸出級之詳細電路圖。

第4圖是本發明與未使用本發明之輸出電流與推動/拉挽訊號關係圖。

圖式標記說明：

102、202、302 運算放大器

104、106 誤差放大器

108、212、216、312、316、324 PMOS 電晶體

110、214、218、314、318、326 NMOS 電晶體

112 推挽式輸出級

204、304 主輸出級

206、328 輔助輸出裝置

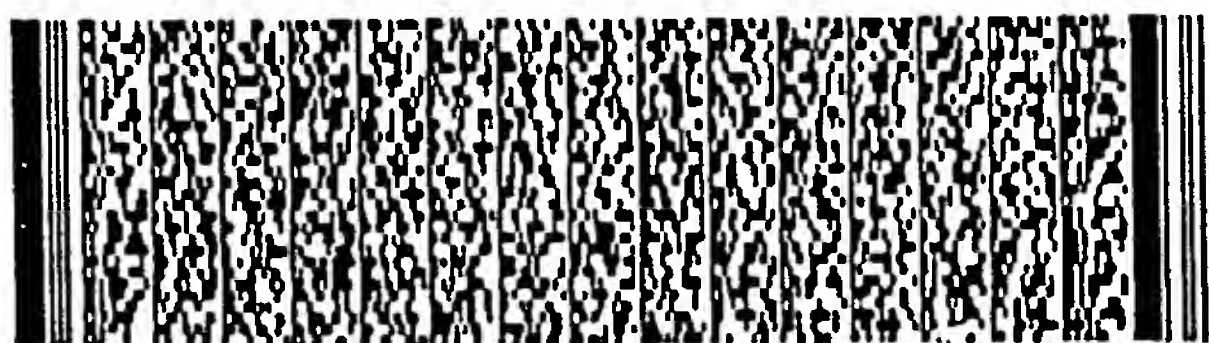
208、210 電壓源

306 監測控制裝置

308 上拉輸出裝置

310 下拉輸出裝置

320、322 電流源



六、申請專利範圍

1. 一增加迴轉率的裝置，用來輸出一輔助電流，該輔助電流係用以提高一連結到一主輸出級之運算放大器之迴轉率，其中該主輸出級係用以接收該運算放大器在反向與非反向輸入後之輸出結果以及輸出一主電流，該增加迴轉率的裝置包括：

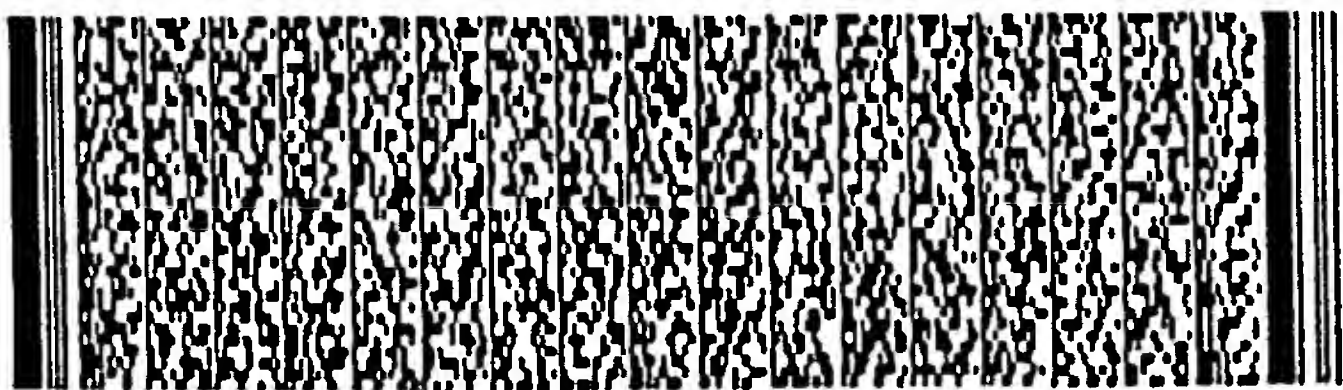
一輔助輸出裝置，當該運算放大器之該反向輸入大於或小於該非反向輸入至可啟動該輔助輸出裝置時，用來產生該輔助電流以提高迴轉率。

2. 如申請專利範圍第1項所述之一增加迴轉率的裝置，其中該輔助電流回饋至該運算放大器之該反向輸入。

3. 如申請專利範圍第1項所述之一增加迴轉率的裝置，其中該輔助輸出裝置開始輸出該輔助電流之時間晚於該主輸出裝置開始輸出該主電流之時間，並且該輔助輸出裝置關閉該輔助電流之時間早於該主輸出裝置關閉該主電流之時間。

4. 如申請專利範圍第1項所述之一增加迴轉率的裝置，其中該主輸出級更包括一推動訊號產生器用來產生一推動訊號，以及一拉挽訊號產生器用來產生一拉挽訊號，其中該推動訊號產生器與該拉挽訊號產生器互相連結用以產生該主電流。

5. 如申請專利範圍第4項所述之一增加迴轉率的裝置，其中該輔助輸出裝置更包括一監測控制裝置，用來衰減該推動訊號以產生一已衰減推動訊號，以及衰減該拉挽訊號以產生一已衰減拉挽訊號。



六、申請專利範圍

6. 如申請專利範圍第5項所述之一增加迴轉率的裝置，其中該輔助輸出級更包括一上拉輸出裝置，當該已衰減推動訊號大於該上拉輸出裝置之啟始電壓時，用來產生一推動電流；以及一下拉輸出裝置，當該已衰減拉挽訊號大於該下拉輸出裝置之啟始電壓時，用來產生一拉挽電流，其中該上拉輸出裝置與該下拉輸出裝置互相連結用以產生該輔助電流。

7. 一種增加迴轉率的裝置，係用來輸出一用以提高一運算放大器之迴轉率之輔助電流，其中該運算放大器接收一反向輸入與一非反向輸入，該增加迴轉率的裝置包括：

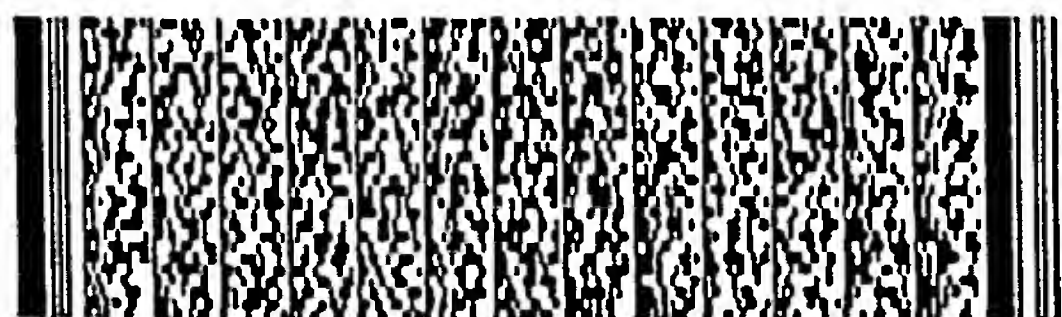
一主輸出級，用來接收該運算放大器在接收一反向輸入與一非反向輸入後之一輸出電壓，用來輸出一主電流並用來產生一推動訊號以及一拉挽訊號；

一監測控制裝置，用來衰減該推動訊號以產生一已衰減推動訊號，以及衰減該拉挽訊號以產生一已衰減拉挽訊號；以及

一輔助輸出裝置，用來接收該已衰減推動訊號以及該已衰減拉挽訊號並用來輸出一輔助電流。

8. 如申請專利範圍第7項所述之一增加迴轉率的裝置，其中該輔助電流回饋至該運算放大器之該反向輸入。

9. 如申請專利範圍第7項所述之一增加迴轉率的裝置，其中該輔助輸出裝置開始輸出該輔助電流之時間晚於該主輸出裝置開始輸出該主電流之時間，並且該輔助輸出



六、申請專利範圍

裝置關閉該輔助電流之時間早於該主輸出裝置關閉該主電流之時間。

10. 如申請專利範圍第7項所述之一種增加迴轉率的裝置，其中該主輸出級包括一推動訊號產生器用來產生該推動訊號，以及一拉挽訊號產生器用來產生該拉挽訊號，其中該推動訊號產生器與該拉挽訊號產生器互相連結用以產生該主電流。

11. 如申請專利範圍第7項所述之一種增加迴轉率的裝置，其中該輔助輸出級包括一被該已衰減推動訊號開關之上拉輸出裝置用來產生一推動電流，以及一被該已衰減拉挽訊號開關之下拉輸出裝置用來產生一拉挽電流，其中該上拉輸出裝置與該下拉輸出裝置互相連結用以產生該輔助電流。

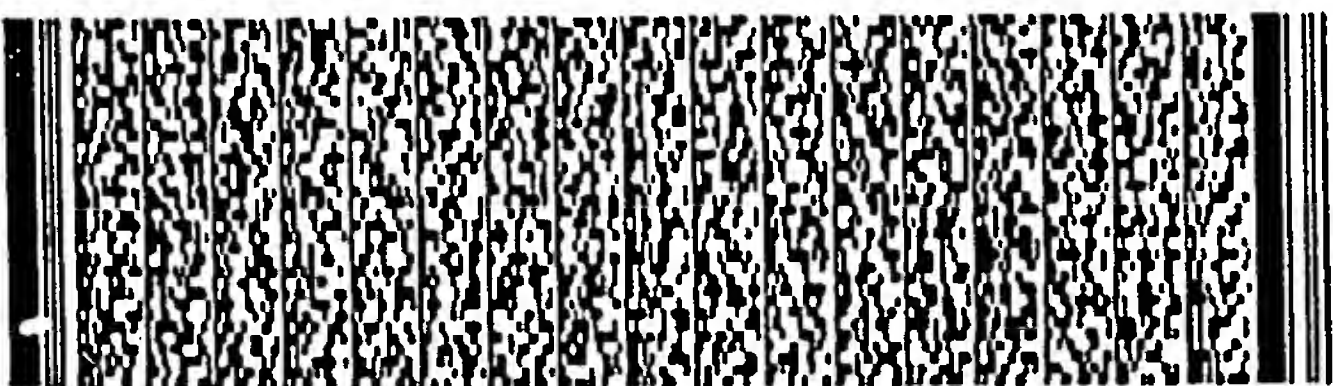
12. 一增加迴轉率的方法，用來提供一用以提高一運算放大器與一主輸出級之迴轉率之輔助電流，其中該主輸出級係用以偵測該運算放大器之反向與非反向輸入以及輸出一主電流，該增加迴轉率的方法，包括下列步驟：

偵測該運算放大器之該反向輸入與該非反向輸入；
以及

當該運算放大器之該非反向輸入大於或小於該反向輸入至一程度時，提供一輔助電流以提高迴轉率。

13. 如申請專利範圍第12項所述之一種增加迴轉率的方法，其中該輔助電流回饋至該運算放大器之該反向輸入。

14. 如申請專利範圍第12項所述之一種增加迴轉率的方法



六、申請專利範圍

法，其中開始輸出該輔助電流之時間晚於開始輸出該主電流之時間，並且關閉該輔助電流之時間早於關閉該主電流之時間。

15. 一種增加迴轉率的方法，係用來輸出一用以提高一運算放大器之迴轉率之輔助電流，其中該運算放大器接收一反向輸入與一非反向輸入，該增加迴轉率的方法包括下列步驟：

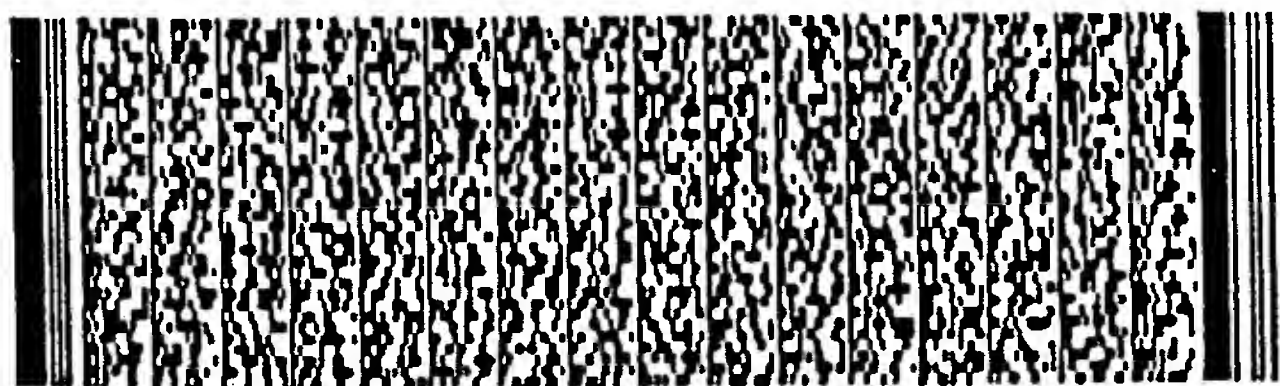
當該運算放大器所接收之一反向輸入與一非反向輸入不相同時，產生一主電流以及產生一推動訊號與一拉挽訊號；

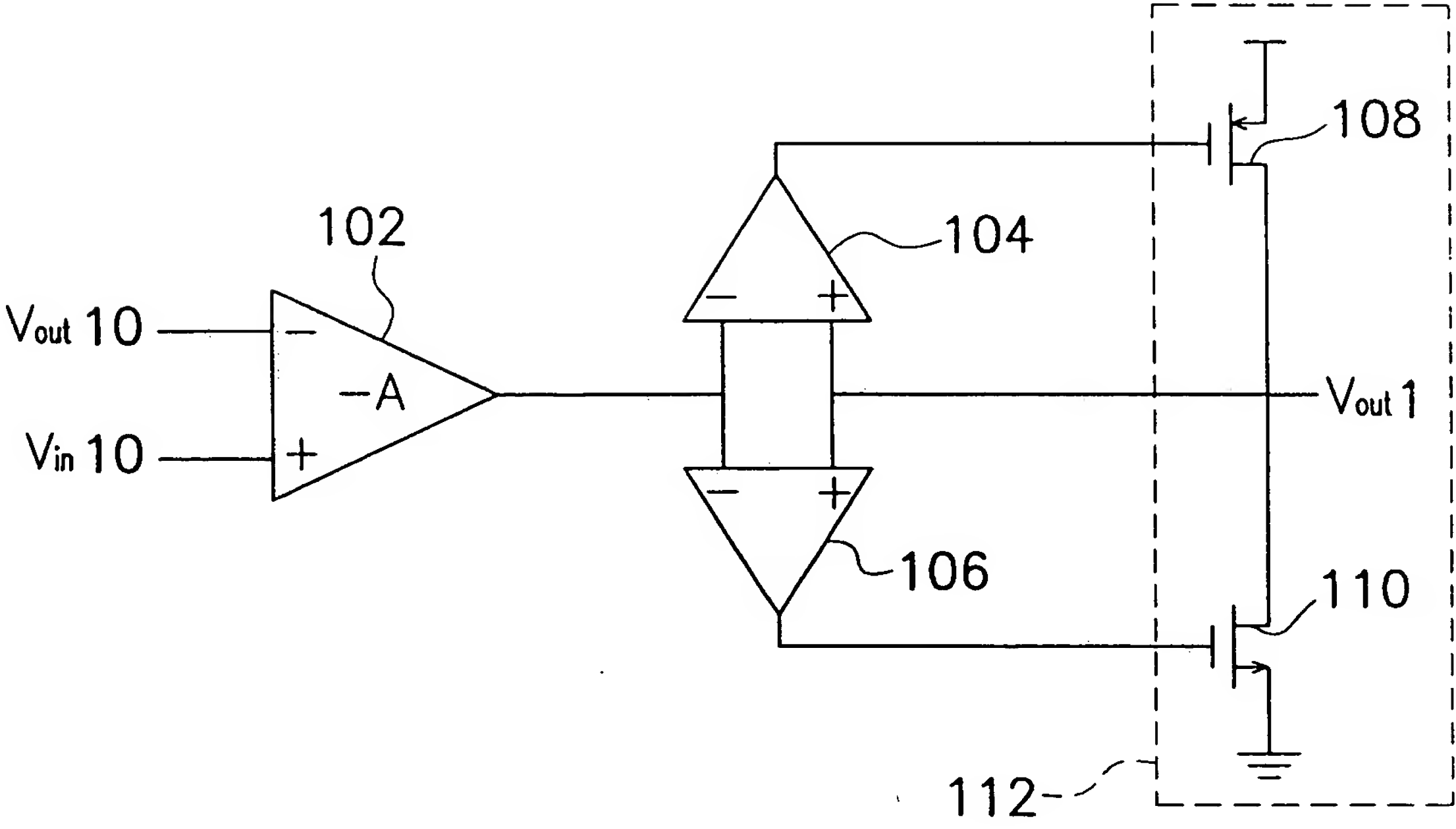
衰減該推動訊號成一已衰減推動訊號，以及衰減該拉挽訊號成一已衰減拉挽訊號；

當該運算放大器所接收之該非反向輸入大於該反向輸入至一程度，使得該已衰減推動訊號大至一程度時，產生一推動電流，以及當該運算放大器所接收之該非反向輸入小於該反向輸入至一程度，使得該已衰減拉挽訊號大至一程度時，產生一拉挽電流，其中該推動電流與該拉挽電流共同組成該輔助電流。

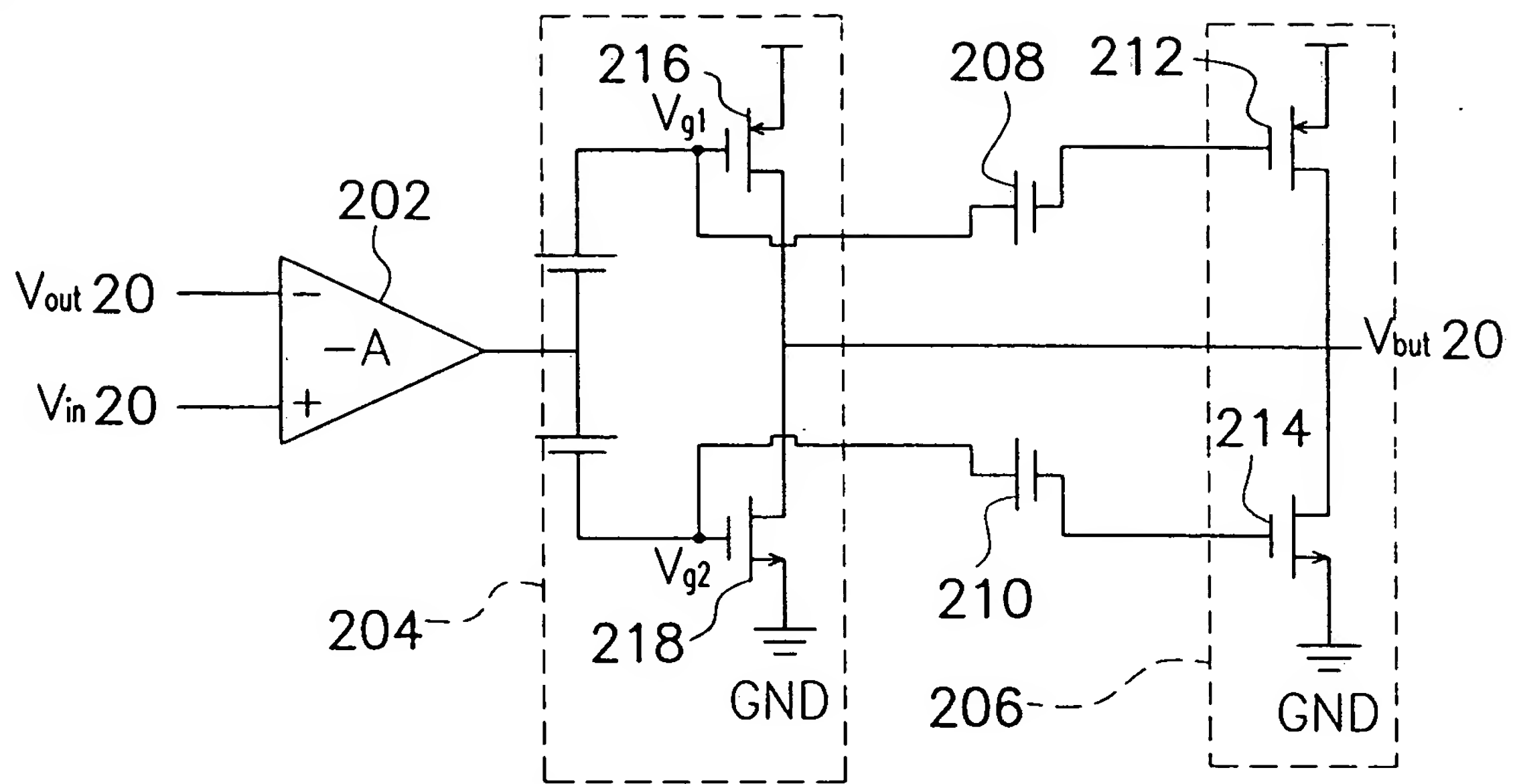
16. 如申請專利範圍第15項所述之一增加迴轉率的方法，其中該輔助電流回饋至該運算放大器之該反向輸入。

17. 如申請專利範圍第15項所述之一增加迴轉率的方法，其中開始輸出該輔助電流之時間晚於開始輸出該主電流之時間，並且關閉該輔助電流之時間早於關閉該主電流之時間。

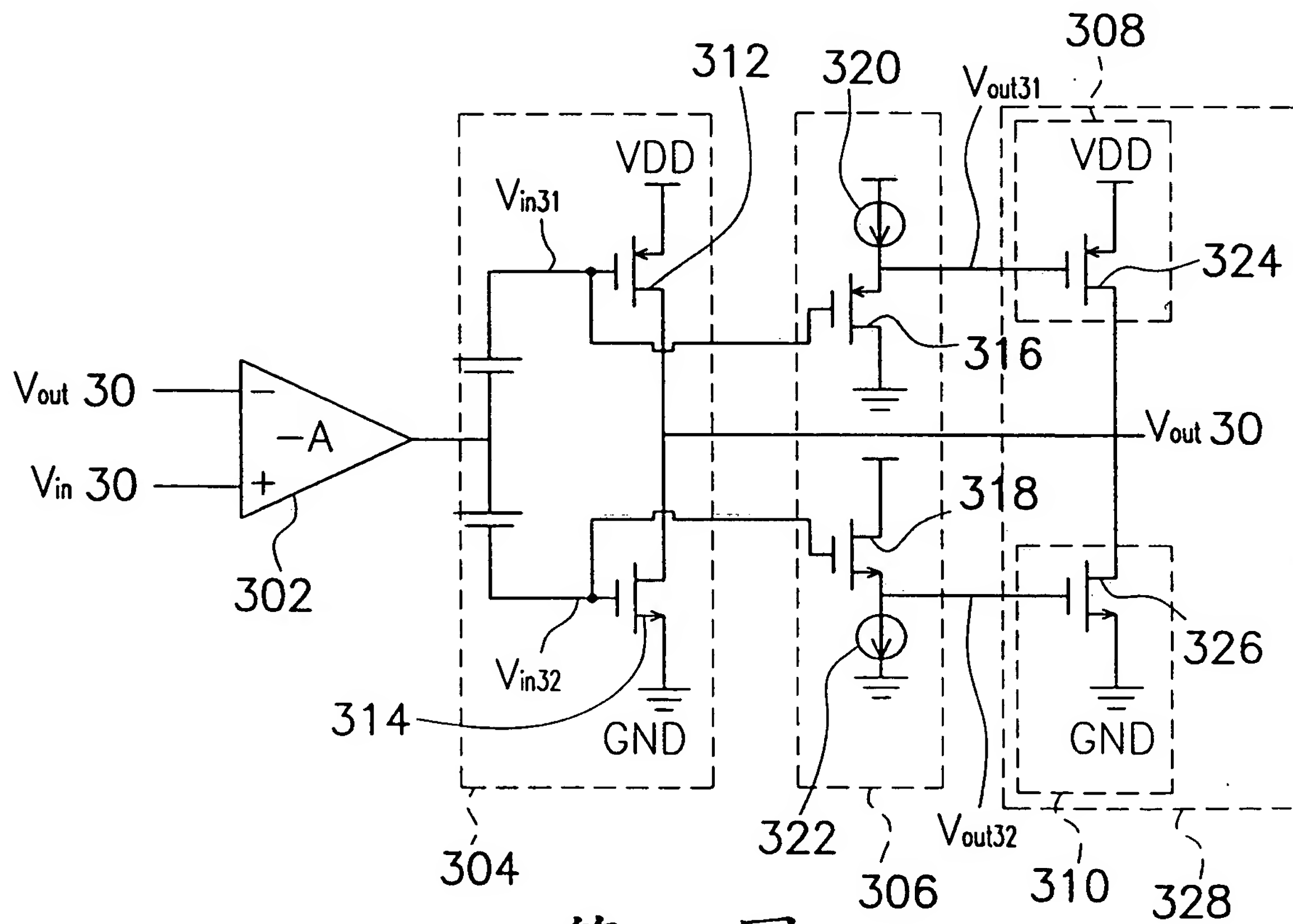




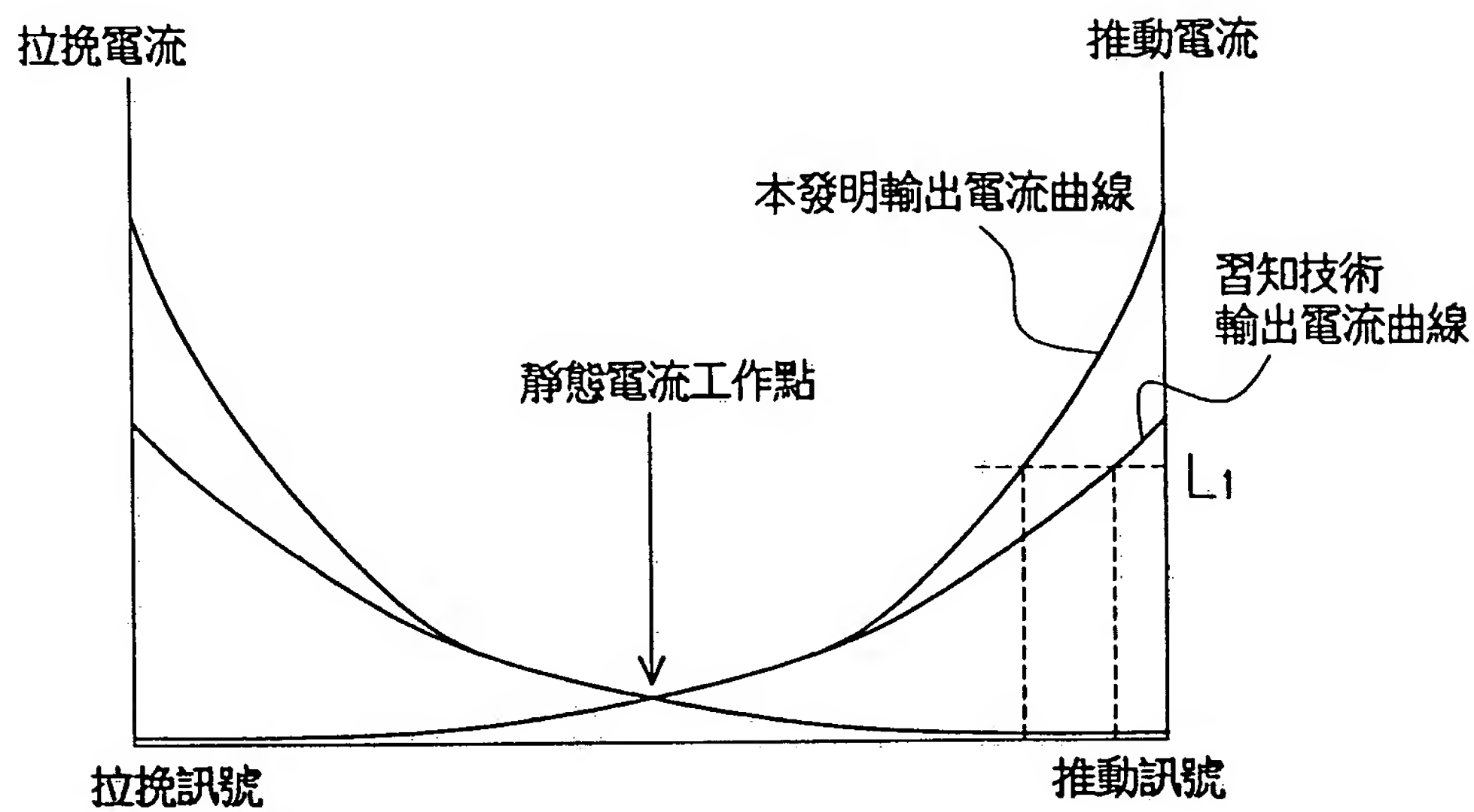
第 1 圖



第 2 圖

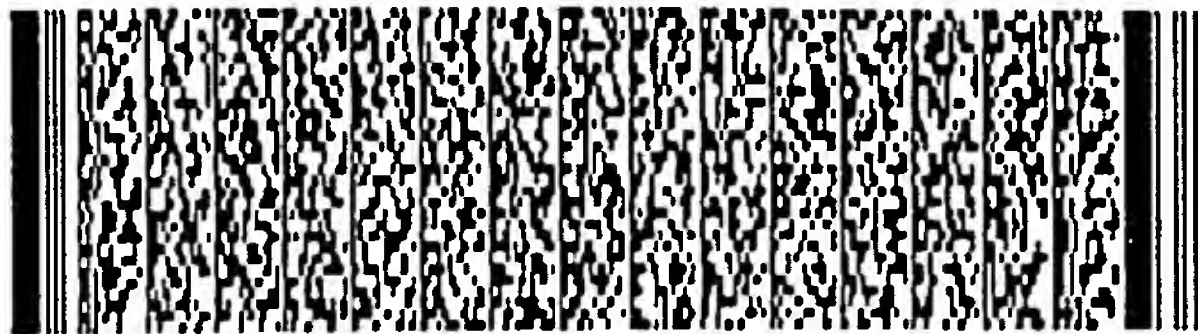


第 3 圖

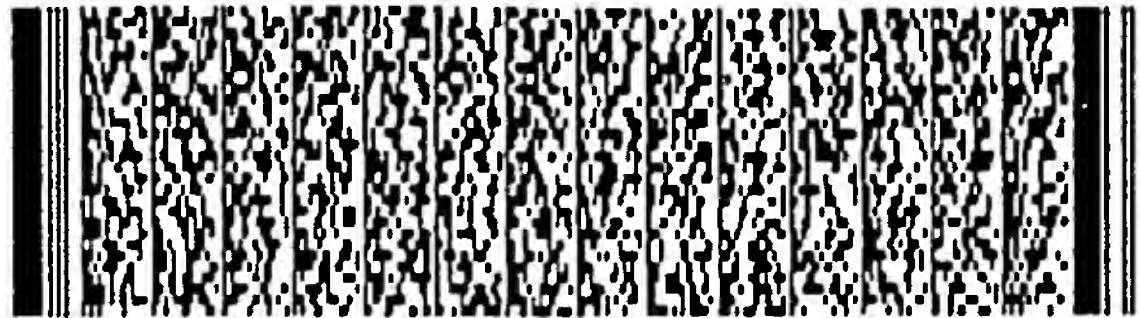


第 4 圖

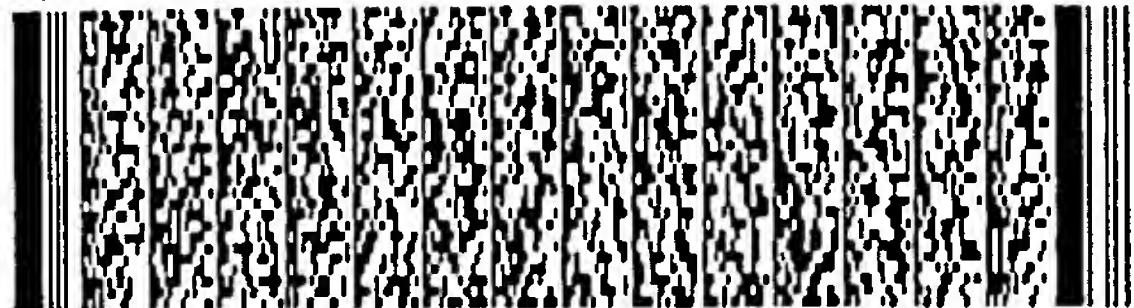
第 10/21 頁



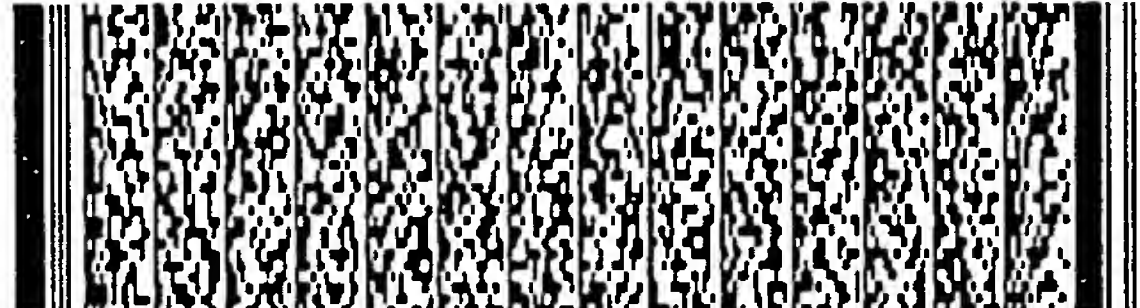
第 11/21 頁



第 11/21 頁



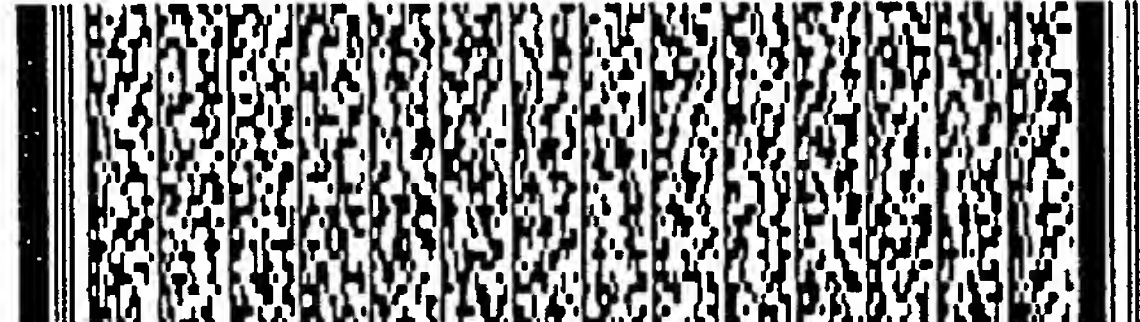
第 12/21 頁



第 12/21 頁



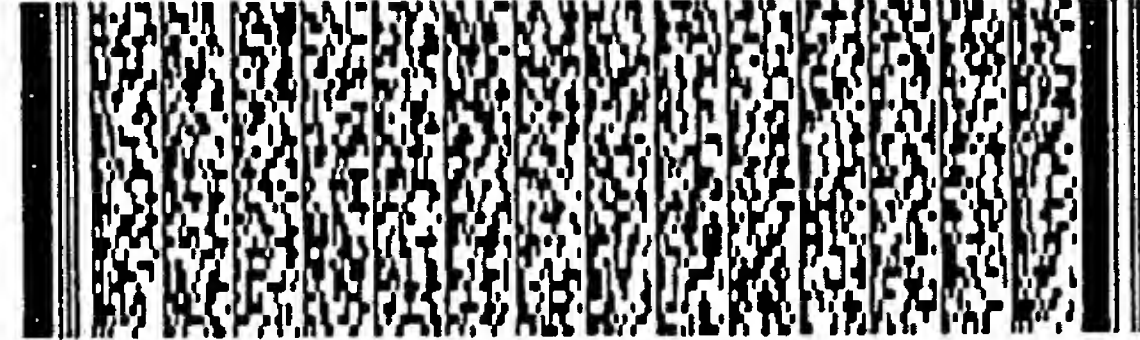
第 13/21 頁



第 13/21 頁



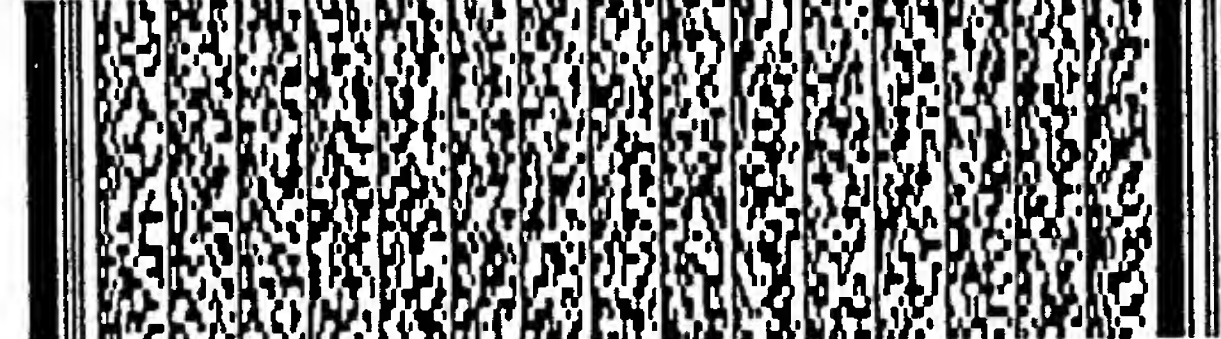
第 14/21 頁



第 14/21 頁



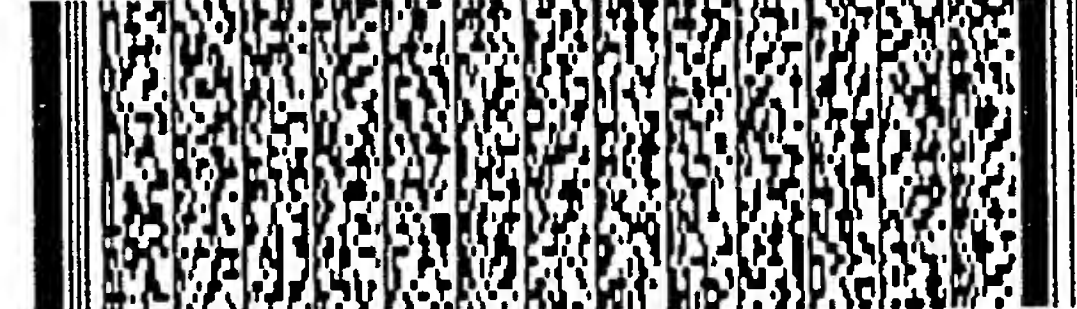
第 15/21 頁



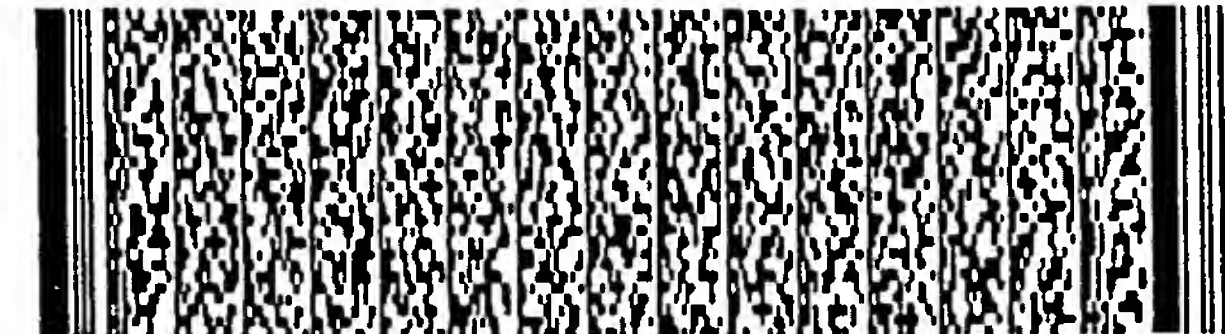
第 15/21 頁



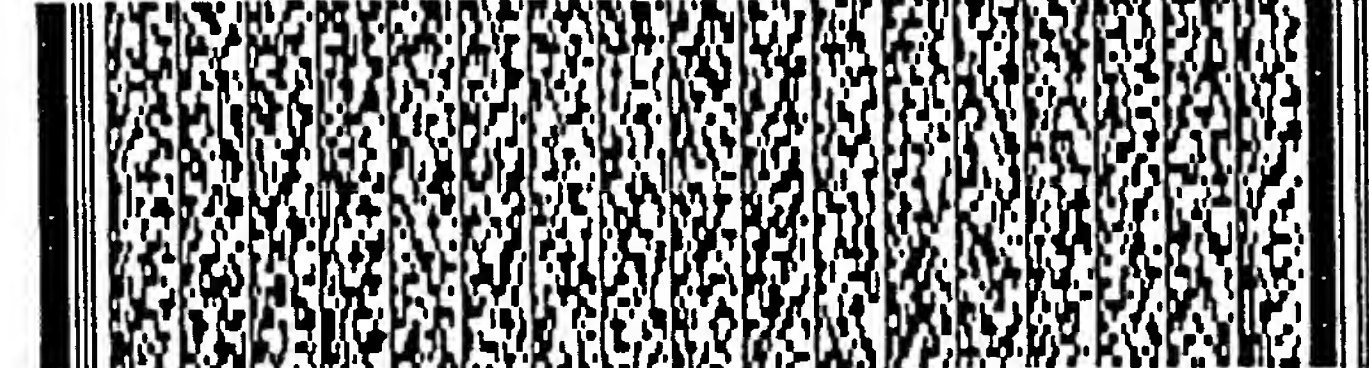
第 16/21 頁



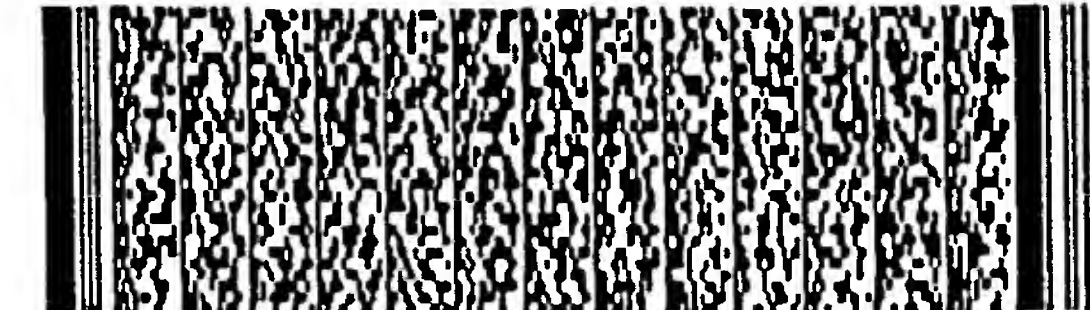
第 17/21 頁



第 18/21 頁



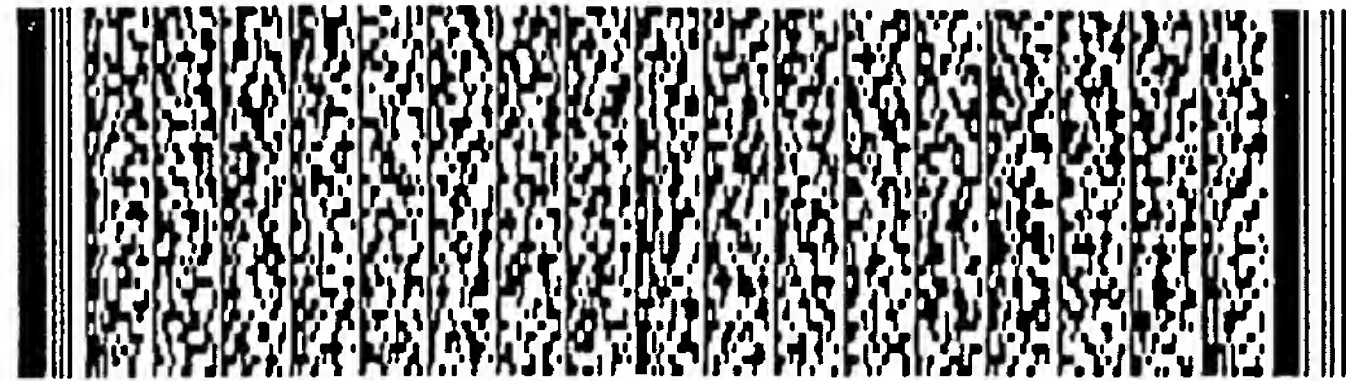
第 19/21 頁



第 19/21 頁



第 20/21 頁



第 21/21 頁

